

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): KURAHASHI, et al.  
Serial No.: Not yet assigned  
Filed: January 14, 2004  
Title: LIQUID CRYSTAL DISPLAY DEVICE  
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

January 14, 2004

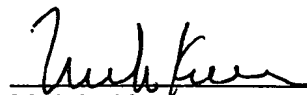
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-006939, filed January 15, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



---

Melvin Kraus  
Registration No. 22,466

MK/alb  
Attachment  
(703) 312-6600

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 1 5 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 0 6 9 3 9  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 0 6 9 3 9 ]

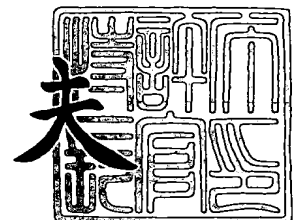
出      願      人            株 式 会 社   日 立 デ ィ ス プ レ イ ズ  
Applicant(s):



2 0 0 3 年 1 1 月 2 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 330200375

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/13

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 倉橋 永年

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 宮寄 香織

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 石井 雅宏

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 鈴木 雅彦

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内

【氏名】 梅田 啓之

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社日立ディスプレイズ

## 【代理人】

【識別番号】 100093506

【弁理士】

【氏名又は名称】 小野寺 洋二

【電話番号】 03-5541-8100

## 【手数料の表示】

【予納台帳番号】 014889

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】

第 1 の方向に延在して該第 1 の方向と交差する第 2 の方向に並設された複数の走査信号線と、前記第 2 の方向に延在して前記 1 の方向に並設された複数のデータ信号線と、前記走査信号線に近接して前記第 1 の方向に延在して前記第 2 の方向に並設された共通信号線と、前記走査信号線と前記データ信号線の交差部に配置された複数の薄膜トランジスタと、前記薄膜トランジスタにより駆動される画素電極と前記共通信号線に接続されて前記画素電極に対し前記第 1 の方向に隣接して交互配置された共通電極とを内面に有し、前記走査信号線と前記データ信号線で囲まれる領域に単位画素を形成する第 1 の基板と、

前記第 1 の基板との間に液晶分子からなる液晶層を封止し、前記画素電極と前記共通電極の間に形成される電界により制御される前記液晶層を構成する液晶分子の配向方向に応じた光を透過または遮断する第 2 の基板とを具備した液晶表示装置であって、

前記共通電極は前記共通信号線の上層に絶縁層を介して重畳配置され、前記画素電極は前記薄膜トランジスタのソース・ドレイン電極に前記絶縁層を貫通するスルーホールを介して接続されており、

前記共通電極は前記共通信号線を覆って前記単位画素内に延びて形成され、前記共通信号線と前記画素電極間の電界を遮蔽していることを特徴とする液晶表示装置。

【請求項 2】

前記画素電極は前記共通電極から前記単位画素内の方向に端部を有し、前記ソース・ドレイン電極は前記共通電極の延在方向と交差する方向に階段状に突出する突出部を有し、該階段状の突出部の一つは前記共通信号線と前記画素電極との間かつ前記共通電極で遮蔽された位置にあり、前記階段状の突出部の他の一つは前記画素電極に重畳する位置にあって前記スルーホールにより当該画素電極に接続されており、

前記階段状の突出部の他の一つの前記第 2 の方向と平行な端縁と前記第 1 の方向で隣接する前記画素電極との間の間隔を  $a$  とし、

前記画素電極と前記階段状の突出部の一つの前記第 2 の方向の端部との間の間隔を  $b$  とし、

前記画素電極と前記第 2 の方向で隣接する前記共通電極間の間隔を  $c$  としたとき、 $a > c$  および／または  $b > c$  であることを特徴とする請求項 1 に記載の液晶表示装置。

### 【請求項 3】

第 1 の方向に延在して該第 1 の方向と交差する第 2 の方向に並設された複数の走査信号線と、前記第 2 の方向に延在して前記第 1 の方向に並設された複数のデータ信号線と、前記走査信号線に近接して前記第 1 の方向に延在して前記第 2 の方向に並設された共通信号線と、前記走査信号線と前記データ信号線の交差部に配置された複数の薄膜トランジスタと、前記薄膜トランジスタにより駆動される画素電極と前記共通信号線に接続されて前記画素電極に対し前記第 1 の方向に隣接して配置された共通電極とを内面に有し、前記走査信号線と前記データ信号線で囲まれる領域に単位画素を形成する第 1 の基板と、

前記第 1 の基板との間に液晶分子からなる液晶層を封止し、前記画素電極と前記共通電極の間に形成される電界により制御される前記液晶層を構成する液晶分子の配向方向に応じた光を透過または遮断する第 2 の基板とを具備した液晶表示装置であって、

前記画素電極は前記共通信号線の上層に絶縁層を介して重畳配置され、前記薄膜トランジスタのソース・ドレイン電極に前記絶縁層を貫通するスルーホールを介して接続されており、

前記画素電極の一部は前記単位画素から前記共通信号線の上方に張り出した張り出し部を有し、

前記共通電極は前記画素電極の前記張り出し部に沿う部分を除いて前記共通信号線を覆って前記単位画素内に延びて形成され、前記共通信号線と前記画素電極間の電界を遮蔽していることを特徴とする液晶表示装置。

### 【請求項 4】

前記画素電極の前記張り出し部は前記第 1 の方向に幅広に形成され、前記ソース・ドレイン電極は前記共通信号線の延在方向と交差する方向に階段状に突出する突出部を有し、該階段状の突出部は前記共通信号線と前記共通電極との間かつ前記共通電極で遮蔽された位置にあり、前記階段状の突出部は前記共通信号線上で前記画素電極の張り出し部に重畳する位置にあつて前記スルーホールにより当該画素電極に接続されており、

前記ソース・ドレイン電極の前記階段状の突起部の前記第 2 の方向における前記共通信号線の端部からの距離を  $a$  とし、

前記画素電極の前記張り出し部に繋がる前記共通信号線と平行で前記第 2 の方向における端縁の前記第 1 の方向の距離を  $b$  とし、

前記画素電極の前記張り出し部の前記第 2 の方向の端縁と前記共通電極との間の前記第 1 の方向における間隔を  $c$  としたとき、 $a \geq 0$  および／または  $b > c \times 2.0$  であることを特徴とする請求項 3 に記載の液晶表示装置。

#### 【請求項 5】

第 1 の方向に延在して該第 1 の方向と交差する第 2 の方向に並設された複数の走査信号線と、前記第 2 の方向に延在して前記第 1 の方向に並設された複数のデータ信号線と、前記走査信号線に近接して前記第 1 の方向に延在して前記第 2 の方向に並設された共通信号線と、前記走査信号線と前記データ信号線の交差部に配置された複数の薄膜トランジスタと、前記薄膜トランジスタにより駆動される画素電極と前記共通信号線に接続されて前記画素電極に対し前記第 1 の方向に隣接して配置された共通電極とを内面に有し、前記走査信号線と前記データ信号線で囲まれる領域に単位画素を形成する第 1 の基板と、

前記第 1 の基板との間に液晶分子からなる液晶層を封止し、前記画素電極と前記共通電極の間に形成される電界により制御される前記液晶層を構成する液晶分子の配向方向に応じた光を透過または遮断する第 2 の基板とを具備した液晶表示装置であつて、

前記画素電極は前記共通信号線の上層に絶縁層を介して重畳配置され、前記薄膜トランジスタのソース・ドレイン電極に前記絶縁層を貫通するスルーホールを介して接続されており、

前記画素電極の一部は前記単位画素内から前記共通信号線の上方に跨がる拡大部を有し、

前記共通電極は前記画素電極の前記拡大部に沿う部分を除いて前記共通信号線を覆って前記単位画素内に延びて形成され、前記共通信号線と前記画素電極間の電界を遮蔽していることを特徴とする液晶表示装置。

#### 【請求項 6】

前記画素電極の前記拡大部は、当該単位画素の前記第 1 の方向に沿った 2 辺と前記第 2 の方向に沿った他の 2 辺を有し、

前記第 1 の方向に沿った 2 辺の前記単位画素側の辺は前記共通信号線より前記単位画素内に位置し、当該 2 辺の前記単位画素と反対側の辺は前記共通信号線の前記単位画素とは反対側の端縁よりも内側に位置し、

前記画素電極と、当該画素電極の前記第 1 の方向で隣接する前記共通電極との間の間隔を  $a$  とし、

前記第 1 の方向に沿った 2 辺の前記第 1 の方向で隣接する前記共通電極との間隔を  $b$  とし、

前記第 1 の方向に沿った 2 辺の前記単位画素側の辺と前記共通信号線の間隔を  $c$  としたとき、

$a > b$ 、および／または  $b \times 0.5 < c$  であることを特徴とする請求項 5 に記載の液晶表示装置。

#### 【請求項 7】

前記ソース・ドレイン電極は前記画素電極の前記拡大部に覆われる部分で前記単位画素側に突出すると共に当該突出部が前記共通信号線よりも前記単位画素側に階段状に突出する突出部を有し、

前記ソース・ドレイン電極の前記突出部の前記第 1 の方向で前記データ信号線側に位置する前記共通信号線の前記単位画素側の端縁を当該単位画素と反対側に後退させることにより、前記  $a$  と前記  $b$  を  $a \gg b$  としたことを特徴とする請求項 6 に記載の液晶表示装置。

#### 【請求項 8】

第 1 の方向に延在して該第 1 の方向と交差する第 2 の方向に並設された複数の



走査信号線と、前記第 2 の方向に延在して前記 1 の方向に並設された複数のデータ信号線と、前記走査信号線に近接して前記第 1 の方向に延在して前記第 2 の方向に並設された共通信号線と、前記走査信号線と前記データ信号線の交差部に配置された複数の薄膜トランジスタと、前記薄膜トランジスタにより駆動される画素電極と前記共通信号線に接続されて前記画素電極に対し前記第 1 の方向に隣接して配置された共通電極とを内面に有し、前記走査信号線と前記データ信号線で囲まれる領域に単位画素を形成する第 1 の基板と、

前記第 1 の基板との間に液晶分子からなる液晶層を封止し、前記画素電極と前記共通電極の間に形成される電界により制御される前記液晶層を構成する液晶分子の配向方向に応じた光を透過または遮断する第 2 の基板とを具備した液晶表示装置であって、

前記画素電極は前記共通信号線の上層に絶縁層を介して重畳配置され、前記薄膜トランジスタのソース・ドレイン電極に前記絶縁層を貫通するスルーホールを介して接続されており、

前記画素電極の一部は前記単位画素内から前記共通信号線の上方に跨がる拡大部を有し、

前記共通電極は前記画素電極の前記拡大部に沿う部分を除いて前記共通信号線を覆って前記単位画素内に延びて形成され、前記共通信号線と前記画素電極間の電界を遮蔽しており、

前記画素電極の前記拡大部は、当該単位画素の前記第 1 の方向に沿った 2 辺と前記第 2 の方向に沿った他の 2 辺を有し、

前記第 1 の方向に沿った 2 辺の前記単位画素側の辺は前記共通信号線の前記単位画素側の端縁より内側に位置し、当該 2 辺の前記単位画素と反対側の辺は前記共通信号線の前記単位画素とは反対側の端縁よりも外側かつ前記画素電極の前記拡大部の前記単位画素とは反対側の端縁よりも外側に位置し、

前記 2 辺の前記単位画素と反対側の辺は、前記薄膜トランジスタに近接する方向で前記第 1 の方向に延在して延長部の 1 辺を形成し、

前記第 2 の方向に沿った他の 2 辺の前記薄膜トランジスタに近接する辺から前記 2 辺の前記単位画素と反対側の辺の前記延長部の 1 辺と平行して前記第 1 の方

向に延在する延長部の他の 1 辺を形成してなり、

前記延長部の他の 1 辺と前記共通信号線の前記単位画素と反対側の端縁との間の間隔を  $a$  とし、

前記ソース・ドレイン電極の前記他の 2 辺の前記単位画素と反対側の辺と前記第 1 の方向に隣接する前記共通電極との間の間隔を  $b$  としたとき、

$a \geq 0$ 、 $b \geq 0$ であることを特徴とする液晶表示装置。

#### 【請求項 9】

第 1 の方向に延在して該第 1 の方向と交差する第 2 の方向に並設された複数の走査信号線と、前記第 2 の方向に延在して前記第 1 の方向に並設された複数のデータ信号線と、前記走査信号線に近接して前記第 1 の方向に延在して前記第 2 の方向に並設された共通信号線と、前記走査信号線と前記データ信号線の交差部に配置された複数の薄膜トランジスタと、前記薄膜トランジスタにより駆動される画素電極と前記共通信号線に接続されて前記画素電極に対し前記第 1 の方向に隣接して配置された共通電極とを内面に有し、前記走査信号線と前記データ信号線で囲まれる領域に単位画素を形成する第 1 の基板と、

前記第 1 の基板との間に液晶分子からなる液晶層を封止し、前記画素電極と前記共通電極の間に形成される電界により制御される前記液晶層を構成する液晶分子の配向方向に応じた光を透過または遮断する第 2 の基板とを具備した液晶表示装置であって、

前記画素電極は前記共通信号線の上層に絶縁層を介して重畳配置され、前記薄膜トランジスタのソース・ドレイン電極に前記絶縁層を貫通するスルーホールを介して接続されており、

前記画素電極の一部は前記単位画素内から前記共通信号線の上方に跨がる拡大部を有し、

前記ソース・ドレイン電極は前記画素電極の前記拡大部に覆われる部分で前記単位画素側に突出すると共に前記共通信号線よりも前記単位画素側に階段状に突出する突出部を有し、

前記共通電極は前記画素電極の前記拡大部に沿う部分を除いて前記共通信号線を覆って前記単位画素内に延びて形成され、前記共通信号線と前記画素電極間の

電界を遮蔽していると共に、前記共通電極の前記薄膜トランジスタ側の一部に前記画素電極の拡大部に対応して前記第 2 の方向に対して前記第 1 の方向に角度  $\theta$  で延びる辺と前記第 2 の方向に延びる辺を有して前記共通信号線上を覆う如く拡大した共通電極拡大部を有することを特徴とする液晶表示装置。

【請求項 10】

前記画素電極の前記拡大部は、当該単位画素の前記第 1 の方向に沿った 2 辺と前記第 2 の方向に沿った他の 2 辺を有し、

前記第 1 の方向に沿った 2 辺の前記単位画素側の辺は前記共通信号線より前記単位画素内に位置し、当該 2 辺の前記単位画素と反対側の辺は前記共通信号線の前記単位画素とは反対側の端縁よりも内側に位置し、

前記共通電極拡大部の前記第 1 の方向に延びる辺と前記ソース・ドレイン電極の前記階段状の前記第 1 の方向に沿った端縁との間の間隔を  $a$  とし、

前記共通信号線の前記単位画素側の端縁と前記ソース・ドレイン電極の前記階段状の前記第 1 の方向に沿った端縁との間の間隔を  $b$  とし、

前記画素電極と前記共通電極拡大部の前記第 2 の方向の端縁との間の間隔を  $c$  とし、

前記共通電極拡大部の前記第 1 の方向に延びる辺と前記共通電極の前記第 2 の方向とのなす角度を  $\theta$  としたとき、

$90^\circ \leq \theta < 180^\circ$ 、かつ  $a > b$  であり、望ましくは  $(a - b) > c$  であることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

液晶を介して対向配置された第 1 の基板と第 2 の基板からなる一对の基板のうちの一方の基板である第 1 の基板上に、

走査信号線、データ信号線、薄膜トランジスタ、前記薄膜トランジスタに接続されたソース・ドレイン電極、画素電極、前記画素電極と同層に形成されて略平行に延在された共通電極、前記共通電極とは異なる層に形成された共通信号線を有し、

前記対向配置された一对の基板のうちの他方の基板である第 2 の基板上に形成された遮光層を有する液晶表示装置であって、

前記共通電極と前記共通信号線は重畳部を有し、  
前記ソース・ドレイン電極と前記共通信号線は重畳部を有し、  
前記ソース・ドレイン電極あるいは前記画素電極の何れか一方は平面的に凸部を有し、該凸部で前記ソース・ドレイン電極あるいは前記画素電極の何れか他方に接続され、

前記凸部は、前記遮光層より露出した領域での前記画素電極と前記共通電極間の前記走査信号線と平行な方向の距離より、前記凸部と前記共通電極間の前記走査信号線と平行な方向の距離が大きくなる領域を有することを特徴とする液晶表示装置。

**【請求項 12】**

液晶を介して対向配置された第1の基板と第2の基板からなる一対の基板のうちの一方の基板である第1の基板上に、

走査信号線、データ信号線、薄膜トランジスタ、前記薄膜トランジスタに接続されたソース・ドレイン電極、画素電極、前記画素電極と同層に形成されて略平行に延在された共通電極、前記共通電極とは異なる層に形成された共通信号線を有し、

前記対向配置された一対の基板のうちの他方の基板である第2の基板上に形成された遮光層を有する液晶表示装置であって、

前記共通電極と前記共通信号線は重畳部を有し、  
前記ソース・ドレイン電極と前記共通信号線は重畳部を有し、  
前記画素電極が画素内で複数であり、該複数の画素電極を接続する接続部を有し、

前記接続部は、前記遮光層より露出した領域での前記画素電極と前記共通電極間の前記走査信号線と平行な方向の距離より、前記接続部と前記共通電極間の前記走査信号線と平行な方向の距離が小さくなる領域を有することを特徴とする液晶表示装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は、液晶表示装置に係り、特に広視野角を特徴とするイン・プレーン・スイッチング（In Plane Switching：IPS）方式における共通信号線と画素電極の間やソース・ドレイン電極と共通電極との間に発生する電界に起因した液晶の不所望なスイッチングによる残像を抑制して画質を向上させた液晶表示装置に関する。

#### 【0002】

##### 【従来の技術】

液晶表示装置は、ガラスを好適とする2枚の絶縁基板の間に液晶分子からなる液晶層を挟持すると共に、上記絶縁基板の一方または双方に当該液晶層に電界を印加するための少なくとも一対の電極を有している。IPS方式の液晶表示装置は、上記した液晶層に電界を印加するための電極を全て一方の基板に形成して液晶層に対して基板面と平行な成分を持つ電界を形成することで画素の点灯と消灯（すなわち、スイッチング）を行う。

#### 【0003】

図14はIPS方式を採用した既知の液晶表示装置の一画素付近の説明図であり、図14（a）は平面図、図14（b）は図14（a）のA-A'線に沿った断面図を示す。液晶表示装置を構成する一対の基板の一方の基板（第1の基板、通常、以下で説明するように薄膜トランジスタが形成される基板であることから薄膜トランジスタ基板と称する）SUB1の内面に次のような画素構造を有する。そして、この第1の基板SUB1にカラーフィルタなどを形成した第2の基板SUB2（図示せず）を貼り合わせ、両者の間隙に液晶層を挟持して封止される。

#### 【0004】

一画素（以下、単位画素とも称する）は、第1の方向（以下、X方向）に延在して該X方向と交差する第2の方向（以下、Y方向）に並設された複数の走査信号線GLと、Y方向に延在してX方向に並設された複数のデータ信号線DLと、走査信号線GLに近接してX方向に延在しY方向に並設された共通信号線（共通ストレージ線とも言う）CLと、走査信号線GLとデータ信号線DLの交差部に配置された複数の薄膜トランジスタTFTと、薄膜トランジスタTFTにより駆

動される画素電極 P X と共通信号線 C L に接続されて画素電極 P X に対し X 方向に隣接して交互配置された共通電極 C T とを内面に有する。そして、走査信号線 G L とデータ信号線 D L で囲まれる領域に単位画素が形成される。

#### 【0005】

図 14 (b) に示したように、図 14 (a) の A-A' 線に沿った断面では第 1 の基板 S U B 1 上に共通信号線 C L を有し、ゲート絶縁層 G I を介してデータ信号線 D L、および薄膜トランジスタ T F T のソース・ドレイン電極 S D が形成されている。これらの電極または配線は無機絶縁層 P A S と有機絶縁層 O P A S の積層膜で覆われ、その上に画素電極 P X と共通電極 C T が形成されている。これら画素電極 P X と共通電極 C T には図示しない液晶層と接する配向膜が形成されるが、ここでは図示を省略した。

#### 【0006】

画素電極 P X と共通電極 C T とは互いに櫛歯状に隣接して配置される。図 14 (b) に示されたように、画素電極 P X は薄膜トランジスタ T F T の出力電極であるソース・ドレイン電極 S D にスルーホール S H を通して接続されている。図 14 (a) に示されたように、ソース・ドレイン電極 S D は共通信号線 C L に重畳し、スルーホール S H を形成する部分が階段状に単位画素領域内に突出している。なお、図中の参照符号 O R は配向膜に施される配向制御能の方向（所謂、ラビング方向）を示す。また、太い点線で示した範囲は、通常第 2 の基板に形成される遮光膜（ブラックマトリクス）B M を仮想的に示す。なお、遮光膜 B M の表示は、以降で説明する各図でも同様である。

#### 【0007】

##### 【発明が解決しようとする課題】

このような構成の液晶表示装置では、単位画素の周辺、特に薄膜トランジスタ T F T の近傍における共通信号線 C L と画素電極 P X および共通電極の間に不所望な電界が形成され、これが液晶層の液晶分子を画像データに関係なくスイッチングして、所謂残像を発生させて画質を劣化させるという問題がある。

#### 【0008】

図 15 は図 14 (a) の薄膜トランジスタ T F T 付近の詳細構造の要部説明図

であり、図 15 (a) は平面図、図 15 (b) は図 15 (a) の B-B' 線に沿った断面図、図 15 (c) は図 15 (a) の C-C' 線に沿った断面図を示す。図 15 における参照符号 ZN は残像の発生し易い領域を示し、E は残像発生原因となる電界、E f は特にその強い電界を示す。すなわち、図 15 (b) および図 15 (c) に示したように、共通信号線 CL と画素電極 PX の間に生じる電界 E、ソース・ドレイン電極 SD と共通電極 CT の間に生じる電界 E で液晶層の液晶分子が不所望にスイッチングされる。また、近接したソース・ドレイン電極 SD の端縁と共通信号線 CL の間には液晶分子に対して交差方向の成分が大きい強い電界 E f を生じ、大きな残像を発生させる。その結果、単位画素の正規のスイッチング動作とは無関係な液晶分子のスイッチングで透過光（あるいは反射光）にむらが発生し、画質を劣化させてしまう。

#### 【0009】

本発明の目的は、上記従来構造の液晶表示装置における残像を抑制して高画質の画像表示を得ることができる液晶表示装置を提供することにある。

#### 【0010】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明は、共通信号線と画素電極の間の電界を遮蔽し、または薄膜トランジスタのソース・ドレイン電極と共通電極の間の電界を遮蔽し、若しくはソース・ドレイン電極の端縁と共通信号線の間の電界を遮蔽する各電極構造とした。

#### 【0011】

##### 【発明の実施の形態】

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。図 1 は本発明による液晶表示装置の第 1 実施例における単位画素付近の構成の説明図であり、図 1 (a) は平面図、図 1 (b) は図 1 (a) の A-A' 線に沿った断面図を示す。また、図 2 は図 1 (a) の薄膜トランジスタ TFT 付近の詳細構造の要部説明図であり、図 2 (a) は平面図、図 2 (b) は図 2 (a) の B-B' 線に沿った断面図、図 2 (c) は図 2 (a) の C-C' 線に沿った断面図を示す。図 1 および図 2 において、前記図 14 および図 15 と同一の参照符号は

同一機能部分に対応するので、繰り返しの説明は省略する。なお、以下の各実施例でも同様とする。

#### 【0012】

図1と図2において、第1の基板SUB1上に形成される単位画素は、X方向に延在して該X方向と交差するY方向に並設された複数の走査信号線GLと、Y方向に延在してX方向に並設された複数のデータ信号線DLと、走査信号線GLに近接してX方向に延在しY方向に並設された共通信号線CLと、走査信号線GLとデータ信号線DLの交差部に配置された複数の薄膜トランジスタTF Tと、薄膜トランジスタTF Tにより駆動される画素電極PXと共通信号線CLに接続されて画素電極PXに対しX方向に隣接して交互配置された共通電極CTとを内面に有する。そして、走査信号線GLとデータ信号線DLで囲まれる領域に単位画素が形成される。

#### 【0013】

共通電極CTは共通信号線CLの上層に絶縁層（無機絶縁層PASとこの上に積層された有機絶縁層OPAS、以下の各実施例でも同じ。ただし、有機絶縁層OPASに代えて無機絶縁層としてもよい。これも以下の各実施例でも同じ。）を介して重畳配置され、画素電極PXは薄膜トランジスタTF Tのソース・ドレイン電極SDに上記無機絶縁層PASと有機絶縁層OPASからなる絶縁層を貫通するスルーホールSHを介して接続されている。共通電極CTは共通信号線CLを覆って単位画素内に延びて（張り出して）形成され、共通信号線CLと画素電極PX間の電界Eを遮蔽している。

#### 【0014】

画素電極PXは共通電極CTから単位画素内の方向に端部を有し、ソース・ドレイン電極SDは共通電極CTの延在方向と交差する方向に階段状に突出する第1突出部SD1と第2突出部SD2を有する。該階段状の第1突出部SD1（ソース・ドレイン電極側）は共通信号線CLと画素電極PXとの間、かつ共通電極CTで遮蔽された位置にある。また、階段状の第2突出部SD2（第1突出部SD1からさらに単位画素側に突出する部分）は画素電極PXに重畳する位置にあってスルーホールSHにより当該画素電極PXに接続されている。



## 【0015】

そして、第2突出部のY方向と平行な端縁とX方向で隣接する画素電極PXとの間の間隔をaとし、画素電極PXと第1突出部のY方向の端部との間の間隔をbとし、画素電極PXとY方向で隣接する共通電極CT間の間隔をcとしたとき、 $a > c$ とし、また、 $b > c$ とする。さらに、 $a > c$ 、かつ $b > c$ とする。これにより、共通信号線と画素電極の間の電界を遮蔽し、または薄膜トランジスタのソース・ドレイン電極SDと共通電極CTの間の電界Eが遮蔽され、ソース・ドレイン電極SDの端縁と共通信号線CLの間の電界Eも遮蔽される。

## 【0016】

本実施例により、単位画素の正規のスイッチング動作とは無関係な液晶分子のスイッチングが抑制され、液晶層の透過光（あるいは反射光）にむらが発生せず、高画質の画像表示を得ることができる。

## 【0017】

図3は本発明による液晶表示装置の第2実施例における単位画素付近の構成の説明図であり、図3(a)は平面図、図3(b)は図3(a)のA-A'線に沿った断面図を示す。また、図4は図3(a)の薄膜トランジスタTF T付近の詳細構造の要部説明図であり、図4(a)は平面図、図4(b)は図4(a)のB-B'線に沿った断面図、図4(c)は図4(a)のC-C'線に沿った断面図を示す。

## 【0018】

図3と図4において、第1の基板SUB 1上に形成される単位画素は、X方向に延在して該X方向と交差するY方向に並設された複数の走査信号線GLと、Y方向に延在してX方向に並設された複数のデータ信号線DLと、走査信号線GLに近接してX方向に延在してY方向に並設された共通信号線CLと、走査信号線GLとデータ信号線DLの交差部に配置された複数の薄膜トランジスタTF Tと、薄膜トランジスタTF Tにより駆動される画素電極PXと共通信号線CLに接続されて画素電極PXに対しX方向に隣接して配置された共通電極CTとを内面に有する。そして、走査信号線GLとデータ信号線DLで囲まれる領域に単位画素が形成される。

## 【0019】

画素電極 P X は共通信号線 C L の上層に絶縁層（無機絶縁層 P A S と有機絶縁層 O P A S）を介して重畳配置され、薄膜トランジスタ T F T のソース・ドレイン電極 S D に上記絶縁層を貫通するスルーホール S H を介して接続されている。また、画素電極 P X の一部は単位画素から共通信号線 C L の上方に張り出し、張り出し先端が共通信号線 C L の単位画素と反対側の辺より後退した張り出し部 P X J を有する。共通電極 C T は画素電極 P X の張り出し部 P X J に沿う部分を除いて共通信号線 C L を覆って単位画素内に延びて形成されている。この構成により、共通信号線 C L と画素電極 P X 間の電界 E が遮蔽される。

## 【0020】

また、画素電極 P X の張り出し部 P X J は X 方向に画素電極 P X よりも幅広に形成され、ソース・ドレイン電極 S D は共通信号線 C L の延在方向と交差する方向に階段状に突出する突出部 S D 3 を有する。この階段状の突出部 S D 3 は共通信号線 C L と共通電極 C T との間、かつ共通電極 C T で遮蔽された位置にある。階段状の突出部 S D 3 は共通信号線 C L 上で画素電極 P X の張り出し部 P X J に重畳する位置にあってスルーホール S H により当該画素電極 P X に接続されている。

## 【0021】

そして、ソース・ドレイン電極 S D の階段状の突出部 S D 3 の Y 方向における共通信号線 C L の端部からの距離を  $a$  とし、画素電極 P X の張り出し部 P X J に繋がる共通信号線 C L と平行で Y 方向における端縁の X 方向の距離を  $b$  とし、画素電極 P X の張り出し部 P X J の Y 方向の端縁と共通電極 C T との間の X 方向における間隔を  $c$  としたとき、 $a \geq 0$  とする。また、 $b > c \times 2.0$  とする。さらに、 $a \geq 0$ 、かつ  $b > c \times 2.0$  とする。これにより、共通信号線 C L と画素電極 P X の間の電界 E が遮蔽され、または薄膜トランジスタ T F T のソース・ドレイン電極 S D と共通電極 C T の間の電界 E が遮蔽され、ソース・ドレイン電極 S D の端縁と共通信号線 C L の間の電界 E も遮蔽される。

## 【0022】

本実施例により、単位画素の正規のスイッチング動作とは無関係な液晶分子の

スイッチングが抑制され、液晶層の透過光（あるいは反射光）にむらが発生せず、高画質の画像表示を得ることができる。

#### 【0023】

図5は本発明による液晶表示装置の第3実施例における単位画素付近の構成の説明図であり、図5（a）は平面図、図5（b）は図5（a）のA-A'線に沿った断面図を示す。また、図6は図5（a）の薄膜トランジスタTFT付近の詳細構造の要部説明図である。

#### 【0024】

図5と図6において、第1の基板SUB1上に形成される単位画素は、X方向に延在してY方向に並設された複数の走査信号線GLと、Y方向に延在してX方向に並設された複数のデータ信号線DLと、走査信号線GLに近接しX方向に延在してY方向に並設された共通信号線CLと、走査信号線GLとデータ信号線DLの交差部に配置された複数の薄膜トランジスタTFTと、薄膜トランジスタTFTにより駆動される画素電極PXと共通信号線CLに接続されて画素電極PXに対しX方向に隣接して配置された共通電極CTとを内面に有する。そして、走査信号線GLとデータ信号線DLで囲まれる領域に単位画素が形成されている。

#### 【0025】

画素電極PXは共通信号線CLの上層に絶縁層（無機絶縁層PASと有機絶縁層OPAS）を介して重畳配置され、薄膜トランジスタTFTのソース・ドレイン電極SDに絶縁層（無機絶縁層PASと有機絶縁層OPAS）を貫通するスルーホールSHを介して接続されている。また、画素電極PXの一部は単位画素内から共通信号線CLの上方に跨がる拡大部PX Eを有する。共通電極CTは画素電極PXの拡大部PX Eに沿う部分を除いて共通信号線CLを覆って単位画素内に延びて形成され、共通信号線CLと画素電極PX間の電界を遮蔽している。

#### 【0026】

画素電極PXの拡大部PX Eは、単位画素のX方向に沿った2辺とY方向に沿った他の2辺を有する略矩形の形状であり、X方向に沿った2辺の当該単位画素側の辺は共通信号線CLより単位画素内に張り出して位置し、当該2辺の単位画素と反対側の辺は共通信号線CLの単位画素とは反対側の端縁よりも内側、かつ

ソース・ドレイン電極SDの単位画素とは反対側の端縁よりも外側に位置している。

#### 【0027】

そして、前記拡大部PXEから単位画素内にY方向に延びる画素電極PXと、当該画素電極PXのX方向で隣接する共通電極CTとの間の間隔をaとし、X方向に沿った2辺のX方向で隣接する共通電極CTとの間隔をbとし、X方向に沿った2辺の単位画素PX側の辺と共通信号線CLの間隔をcとしたとき、 $a > b$ とする。また、 $b \times 0.5 < c$ とする。さらに、 $a > b$ かつ $b \times 0.5 < c$ とする。このように、画素電極PXを拡大することで共通信号線CLを遮蔽する領域が拡大され、これにより、共通信号線CLと画素電極PXの間の電界Eが遮蔽され、または薄膜トランジスタTFTのソース・ドレイン電極SDと共通電極CTの間の電界が遮蔽され、ソース・ドレイン電極SDの端縁と共通信号線CLの間の電界も遮蔽される。

#### 【0028】

図7は本発明による液晶表示装置の第4実施例における単位画素付近の構成の説明図であり、図7(a)は平面図、図7(b)は図7(a)のA-A'線に沿った断面図を示す。また、図8は図7(a)の薄膜トランジスタTFT付近の詳細構造の要部説明図である。

#### 【0029】

本実施例は第3実施例におけるソース・ドレイン電極SDの突出部SD4の両側で共通信号線CLの一部を幅狭としたもので、当該共通信号線CLの単位画素側の端縁を当該単位画素側から画素電極PXの拡大部PXEの単位画素側のX方向の辺に対する距離が大きくなるように後退させたものである。すなわち、ソース・ドレイン電極SDの画素電極PXの拡大部PXEに覆われる部分の領域内に単位画素側に突出すると共に突出部PXEが共通信号線CLよりも単位画素側に階段状に突出する突出部SD4のX方向でデータ信号線DL側に位置する共通信号線CLの単位画素側の端縁を当該単位画素と反対側に後退させ、間隔 $a >$  間隔bとしたものである。これにより、第3実施例の効果に加えて単位画素の正規のスイッチング動作とは無関係な液晶分子のスイッチングがさらに抑制され、液晶

層の透過光（あるいは反射光）にむらが発生せず、高画質の画像表示を得ることができる。

#### 【0030】

図9は本発明による液晶表示装置の第5実施例における単位画素付近の構成の説明図であり、図9（a）は平面図、図9（b）は図9（a）のA-A'線に沿った断面図を示す。また、図10は図9（a）の薄膜トランジスタTFT付近の詳細構造の要部説明図であり、図10（a）は平面図、図10（b）は図10（a）のB-B'線に沿った断面図を示す。

#### 【0031】

図9と図10において、X方向に延在してY方向に並設された複数の走査信号線GLと、Y方向に延在してX方向に並設された複数のデータ信号線DLと、走査信号線GLに近接してX方向に延在しY方向に並設された共通信号線CLと、走査信号線GLとデータ信号線DLの交差部に配置された複数の薄膜トランジスタTFTと、薄膜トランジスタTFTにより駆動される画素電極PXと共通信号線CLに接続されて画素電極PXに対しX方向に隣接して配置された共通電極CTとを内面に有する。そして、走査信号線CLとデータ信号線DLで囲まれる領域に単位画素を形成する。

#### 【0032】

画素電極PXは共通信号線CLの上層に絶縁層（無機絶縁層PASと有機絶縁層OPAS）を介して重畳配置され、薄膜トランジスタTFTのソース・ドレイン電極SDに絶縁層（無機絶縁層PASと有機絶縁層OPAS）を貫通するスルーホールSHを介して接続されている。画素電極PXの一部は単位画素内から共通信号線CLの上方に跨がる拡大部PX Eを有している。

#### 【0033】

共通電極CTは画素電極PXの拡大部PX Eに沿う部分を除いて共通信号線CLを覆って単位画素内に延びて（張り出して）形成され、共通信号線CLと画素電極PX間の電界を遮蔽している。画素電極PXの拡大部PX Eは、当該単位画素のX方向に沿った2辺とY方向に沿った他の2辺を有している。このX方向に沿った2辺の単位画素側の辺は共通信号線CLの単位画素側の端縁（辺）より内

側に位置し、当該 2 辺の単位画素 P X と反対側の辺は共通信号線 C L の単位画素とは反対側の端縁よりも外側かつ画素電極 P X の拡大部 P X E の単位画素とは反対側の端縁よりも外側に位置している。

#### 【0034】

薄膜トランジスタ T F T のソース・ドレイン電極 S D の単位画素と反対側の辺は、薄膜トランジスタ T F T に近接する方向で X 方向に延在して延長部 S D E の 1 辺を形成し、Y 方向に沿った他の 2 辺の薄膜トランジスタ T F T に近接する辺から単位画素と反対側の辺の上記延長部 S D E の 1 辺と平行して X 方向に延在する延長部 S D E の他の 1 辺を形成している。そして、延長部 S D E の他の 1 辺と共通信号線 C L の単位画素と反対側の端縁との間の間隔を  $a$ 、ソース・ドレイン電極 S D の他の 2 辺の単位画素 P X と反対側の辺と X 方向に隣接する共通電極 C T との間の間隔を  $b$  をそれぞれ、 $a \geq 0$ 、 $b \geq 0$  とした。

#### 【0035】

これにより、図 10 (b) に示したように、ソース・ドレイン電極 S D と共通信号線 C L 間に形成される強電界であるフリンジ電界 E f の発生箇所を画素電極 P X で完全に遮蔽することができ、単位画素の正規のスイッチング動作とは無関係な液晶分子のスイッチングがさらに抑制され、液晶層の透過光（あるいは反射光）にむらが発生せず、高画質の画像表示を得ることができる。

#### 【0036】

図 11 は本発明による液晶表示装置の第 6 実施例における単位画素付近の構成の説明図であり、図 11 (a) は平面図、図 11 (b) は図 11 (a) の A-A' 線に沿った断面図を示す。また、図 12 は図 11 (a) の薄膜トランジスタ T F T 付近の詳細構造の要部説明図である。

#### 【0037】

図 11 と図 12 において、X 方向に延在して該 X 方向と交差する Y 方向に並設された複数の走査信号線 G L と、Y 方向に延在して X 方向に並設された複数のデータ信号線 D L と、走査信号線 G L に近接して X 方向に延在し Y 方向に並設された共通信号線 C L と、走査信号線 C L とデータ信号線 D L の交差部に配置された複数の薄膜トランジスタ T F T と、薄膜トランジスタ T F T により駆動される画

素電極 P X と共通信号線 C L に接続されて画素電極 P X に対し X 方向に隣接して配置された共通電極 C T とを内面に有する。そして、走査信号線 G L とデータ信号線 D L で囲まれる領域に単位画素が形成される。

【0038】

画素電極 P X は共通信号線 C L の上層に絶縁層（無機絶縁層 P A S と有機絶縁層 O P A S）を介して重畳配置され、薄膜トランジスタ T F T のソース・ドレイン電極 S D に絶縁層（無機絶縁層 P A S と有機絶縁層 O P A S）を貫通するスルーホール S H を介して接続されている。

【0039】

また、画素電極 P X の一部は単位画素内から前記共通信号線の上方に跨がる略矩形の拡大部 P X E を有し、ソース・ドレイン電極 S D は画素電極 P X の拡大部 P X E に覆われる部分で単位画素側に突出すると共に前記共通信号線 C L よりも単位画素側に階段状に突出する突出部 S D 4 を有している。

【0040】

共通電極 C T は画素電極 P X の拡大部 P X E に沿う部分を除いて共通信号線 C L を覆って単位画素内に延びて（張り出して）形成され、共通信号線 C L と画素電極 P X 間の電界を遮蔽すると共に、共通電極 C T の薄膜トランジスタ T F T 側の一部に画素電極 P X の拡大部 P X E に対応して Y 方向に対して X 方向に角度  $\theta$  で延びる辺と Y 方向に延びる辺を有して共通信号線 C L 上を覆う如く拡大した共通電極拡大部 C T E を有する。なお、単位画素内の画素電極 P X がその拡大部 P X E から立ち上がる角度も  $\theta$  である。

【0041】

画素電極 P X の拡大部 P X E は、単位画素の X 方向に沿った 2 辺と Y 方向に沿った他の 2 辺を有し、X 方向に沿った 2 辺の単位画素側の辺は共通信号線 C L より単位画素内に位置し、当該 2 辺の単位画素と反対側の辺は共通信号線 C L の単位画素とは反対側の端縁よりも内側に位置している。

【0042】

そして、 $90^{\circ} \leq \theta < 180^{\circ}$  とすることで画素電極 P X と共通電極 C T が拡大し、共通電極拡大部 C T E の X 方向に延びる辺とソース・ドレイン電極 S D の

前記階段状の前記第 1 の方向に沿った端縁との間の間隔  $a$  と、共通信号線  $CL$  の単位画素側の端縁とソース・ドレイン電極  $SD$  の階段状に突出する突出部  $SD4$  の  $X$  方向に沿った端縁との間の間隔  $b$  と、画素電極  $PX$  と共通電極拡大部  $CTE$  の  $Y$  方向の端縁との間の間隔  $c$  とを  $a > b$ 、望ましくは  $(a - b) > c$  とすることで共通信号線  $CL$  からの電界を確実に遮蔽することができ、残像発生領域が低減して実効的な開口率が向上する。

#### 【0043】

なお、上記した各実施例において、例えば図 1 における画素電極  $PX$  とソース・ドレイン電極  $SD$  との間隔を、隣接する画素電極  $PX$  と共通電極  $CT$  との間隔より小さくすることで電極間に残留する  $DC$  成分が低減され、残像が抑制されると共に実効的な開口率が向上する。なお、図 14 に示したブラックマトリクス  $BM$  を単位画素内における画素電極  $PX$  および共通電極  $CT$  の長手方向端部を覆うように形成すれば、残像による画質劣化をさらに抑制することができる。

#### 【0044】

また、上記した各実施例の構成に対して、さらに走査信号線  $GL$  の両側に沿って共通信号線  $CL$  を配置することにより走査信号線  $GL$  からの漏れ電界の遮蔽効果を得ることができる。このとき、単位画素内における共通電極  $CT$  の端部より共通信号線  $CL$  の端部を後退させて形成する。

#### 【0045】

図 13 は本発明の液晶表示装置の単位画素部分と周辺部分の構成例を説明する模式断面図である。図中、 $SUB1$  は前記各実施例で説明した第 1 の基板であり、液晶層  $LC$  と接する最上層に第 1 の配向膜が塗布され、ラビング処理されている。そして、外面には第 1 の偏光板  $POL1$  が設置されている。なお、前記の説明と同一参照符号は同一機能部分に対応し、 $PSV$  は保護膜、第 1 の基板の構成は簡略化して示してある。また、 $SUB2$  は対向基板である第 2 の基板であり、ブラックマトリクス  $BM$  で区画されたカラーフィルタ  $CF$  と、その上層にオーバーコート層  $OC$  を有し、さらに液晶層  $LC$  に接する第 2 の配向膜  $ORI2$  が塗布され、ラビングされている。第 2 の基板  $SUB2$  の外面（観察側）に第 2 の偏光板  $POL2$  が設置されている。第 1 の基板  $SUB1$  と第 2 の基板  $SUB2$  の周



辺部分はシール剤 S L で封止されている。単位画素のスイッチング（単位画素の点灯／消灯）を行う電界 E P は画素電極 P X と共通電極 C T の間で当該各基板面と平行な方向に形成される。

#### 【0046】

#### 【発明の効果】

以上説明したように、本発明によれば、単位画素の周縁、特に薄膜トランジスタ T F T の近傍における共通信号線と画素電極および共通電極の間の不所望な電界の形成が抑制されて残像の発生が低減し、高品質の画像を表示可能とした液晶表示装置を提供することができる。

#### 【図面の簡単な説明】

#### 【図1】

本発明による液晶表示装置の第1実施例における単位画素付近の構成の説明図である。

#### 【図2】

図1の薄膜トランジスタ T F T 付近の詳細構造の要部説明図である。

#### 【図3】

本発明による液晶表示装置の第2実施例における単位画素付近の構成の説明図である。

#### 【図4】

図3の薄膜トランジスタ T F T 付近の詳細構造の要部説明図である。

#### 【図5】

本発明による液晶表示装置の第3実施例における単位画素付近の構成の説明図である。

#### 【図6】

図5の薄膜トランジスタ T F T 付近の詳細構造の要部説明図である。

#### 【図7】

本発明による液晶表示装置の第4実施例における単位画素付近の構成の説明図である。

#### 【図8】

図 7 の薄膜トランジスタ T F T 付近の詳細構造の要部説明図である。

【図 9】

本発明による液晶表示装置の第 5 実施例における単位画素付近の構成の説明図である。

【図 10】

図 9 の薄膜トランジスタ T F T 付近の詳細構造の要部説明図である。

【図 11】

本発明による液晶表示装置の第 6 実施例における単位画素付近の構成の説明図である。

【図 12】

図 11 の薄膜トランジスタ T F T 付近の詳細構造の要部説明図である。

【図 13】

本発明の液晶表示装置の単位画素部分と周辺部分の構成例を説明する模式断面図である。

【図 14】

I P S 方式を採用した既知の液晶表示装置の一画素付近の説明図である。

【図 15】

図 14 の薄膜トランジスタ T F T 付近の詳細構造の要部説明図である。

【符号の説明】

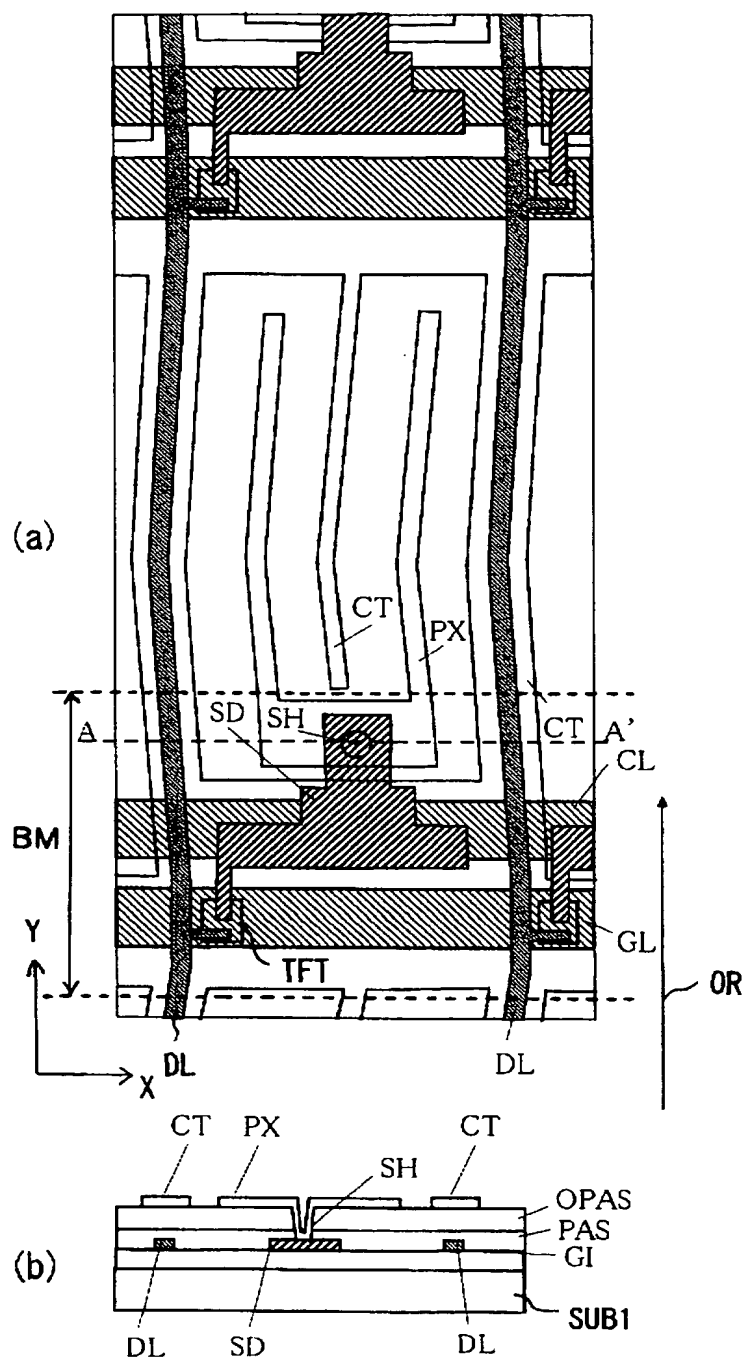
S U B 1 . . . . 第 1 の基板、S U B 2 . . . . 第 2 の基板、G I . . . . ゲート絶縁層、T F T . . . . 薄膜トランジスタ、S D . . . . ソース・ドレイン電極、G L . . . . 走査信号線、D L . . . . データ信号線、C L . . . . 共通信号線、C T . . . . 共通電極、P X . . . . 画素電極、S H . . . . スルーホール、P A S . . . . 無機絶縁層、O P A S . . . . 有機絶縁層。

【書類名】

図面

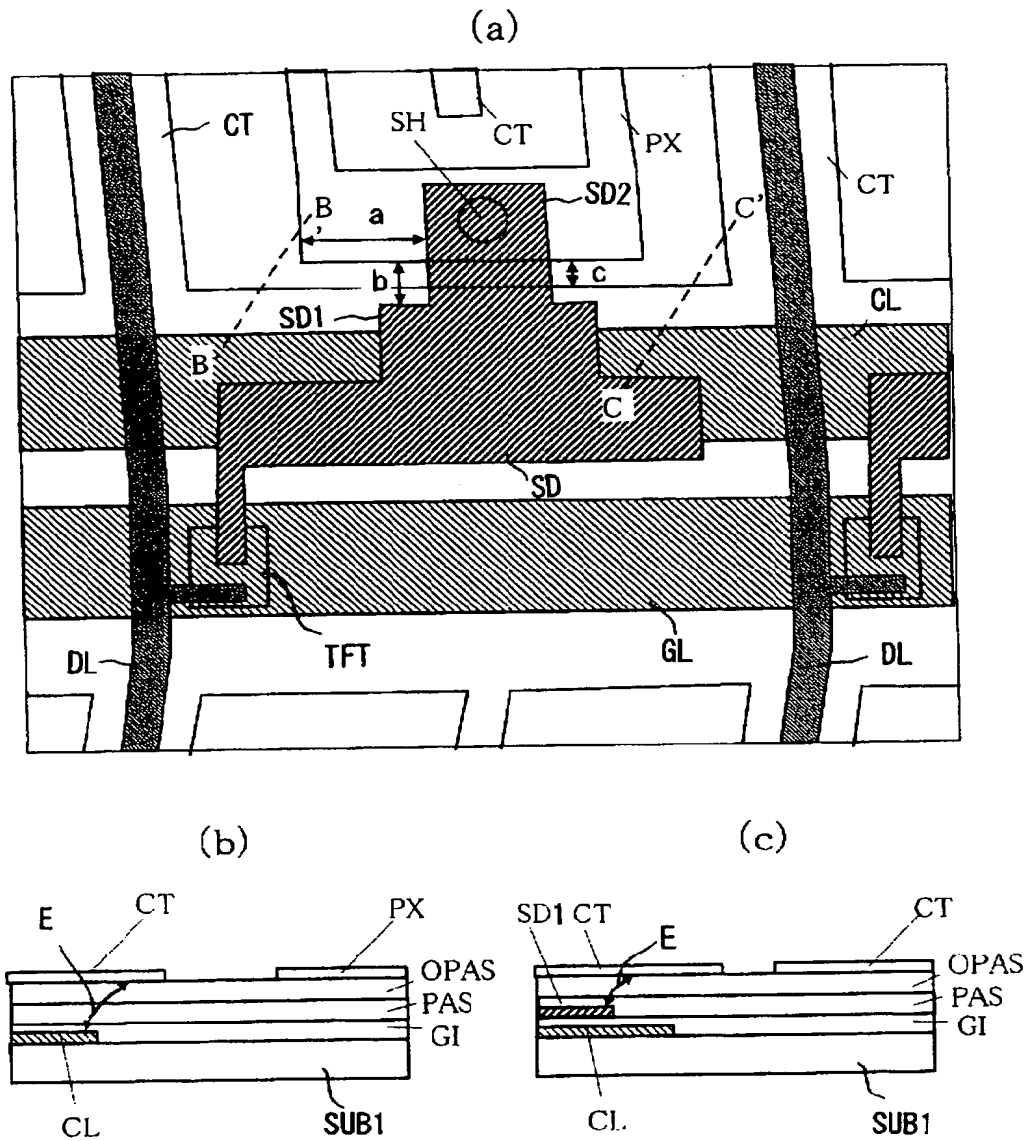
【図 1】

図 1



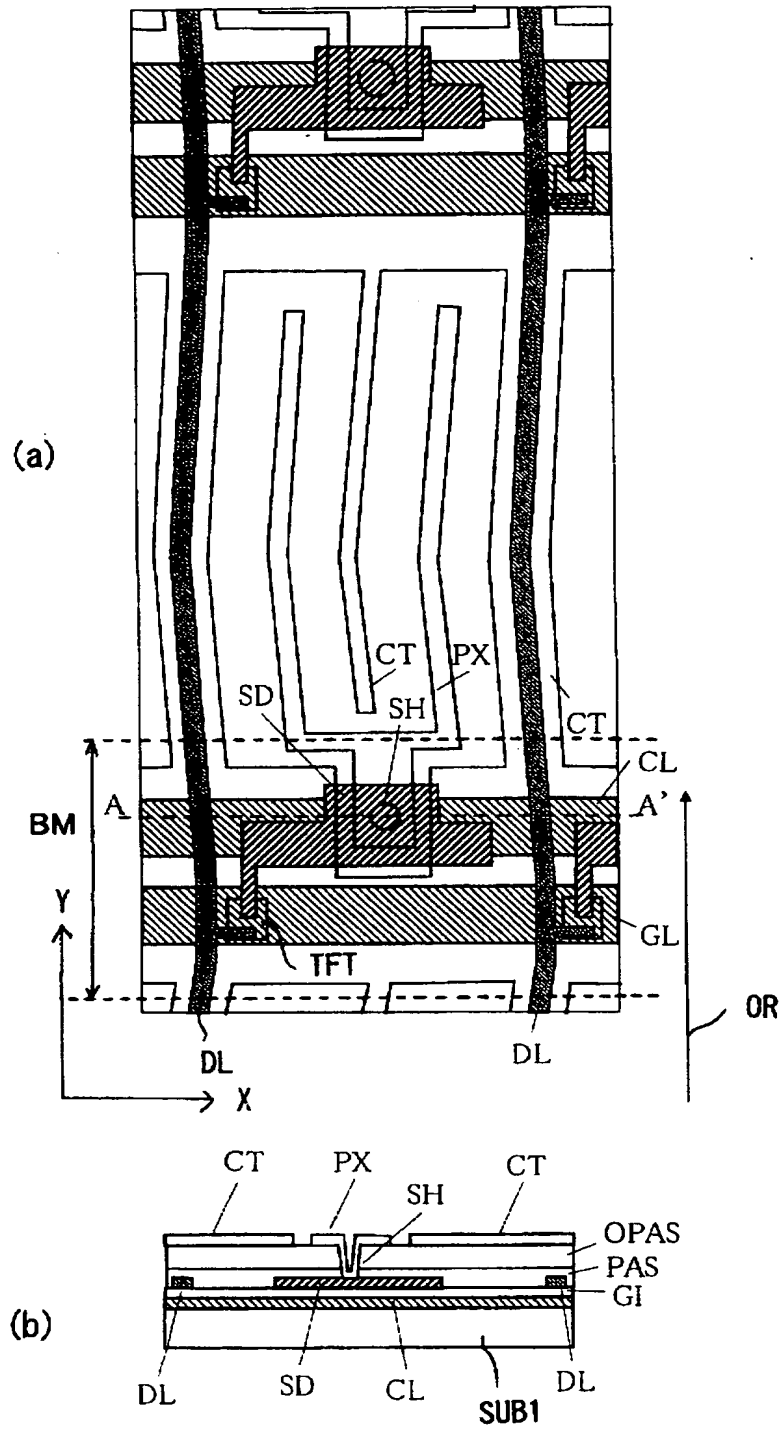
【図 2】

図 2



【図 3】

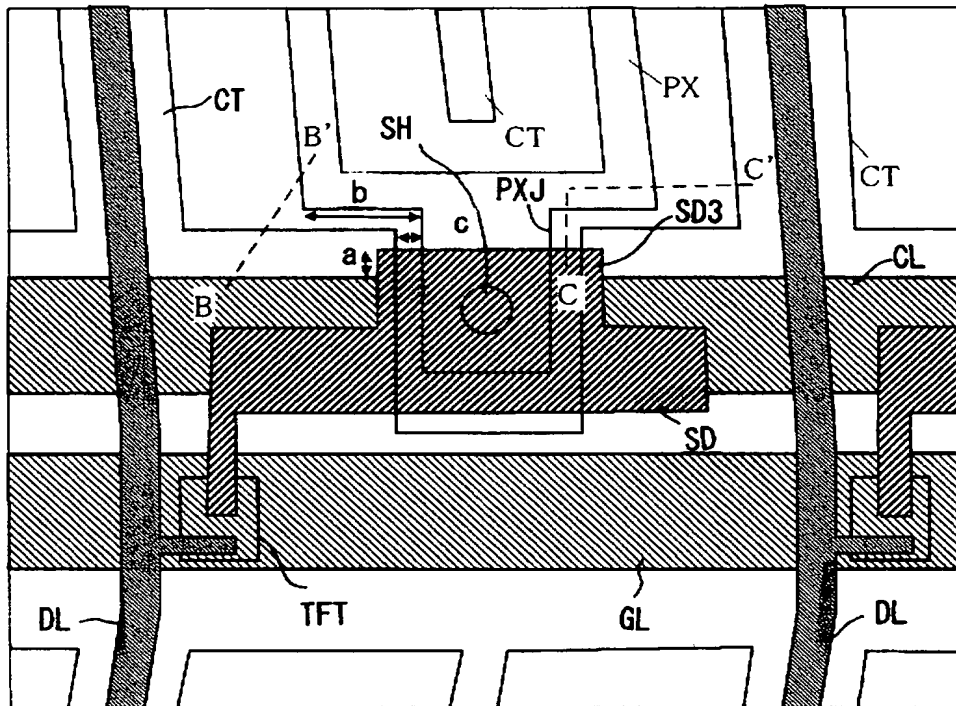
図 3



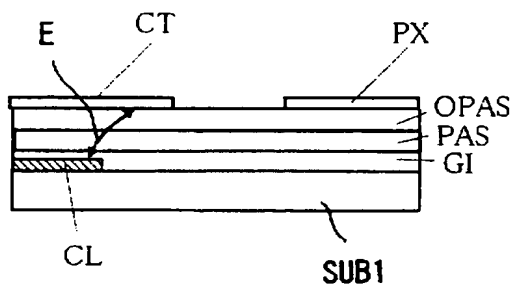
【図 4】

**图 4**

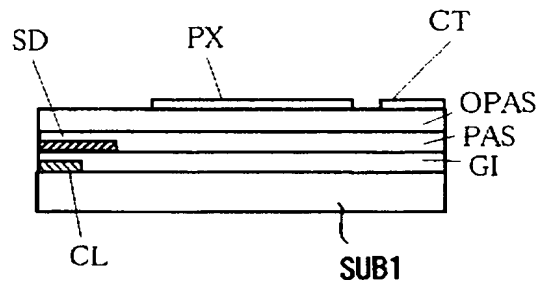
(a)



(b)

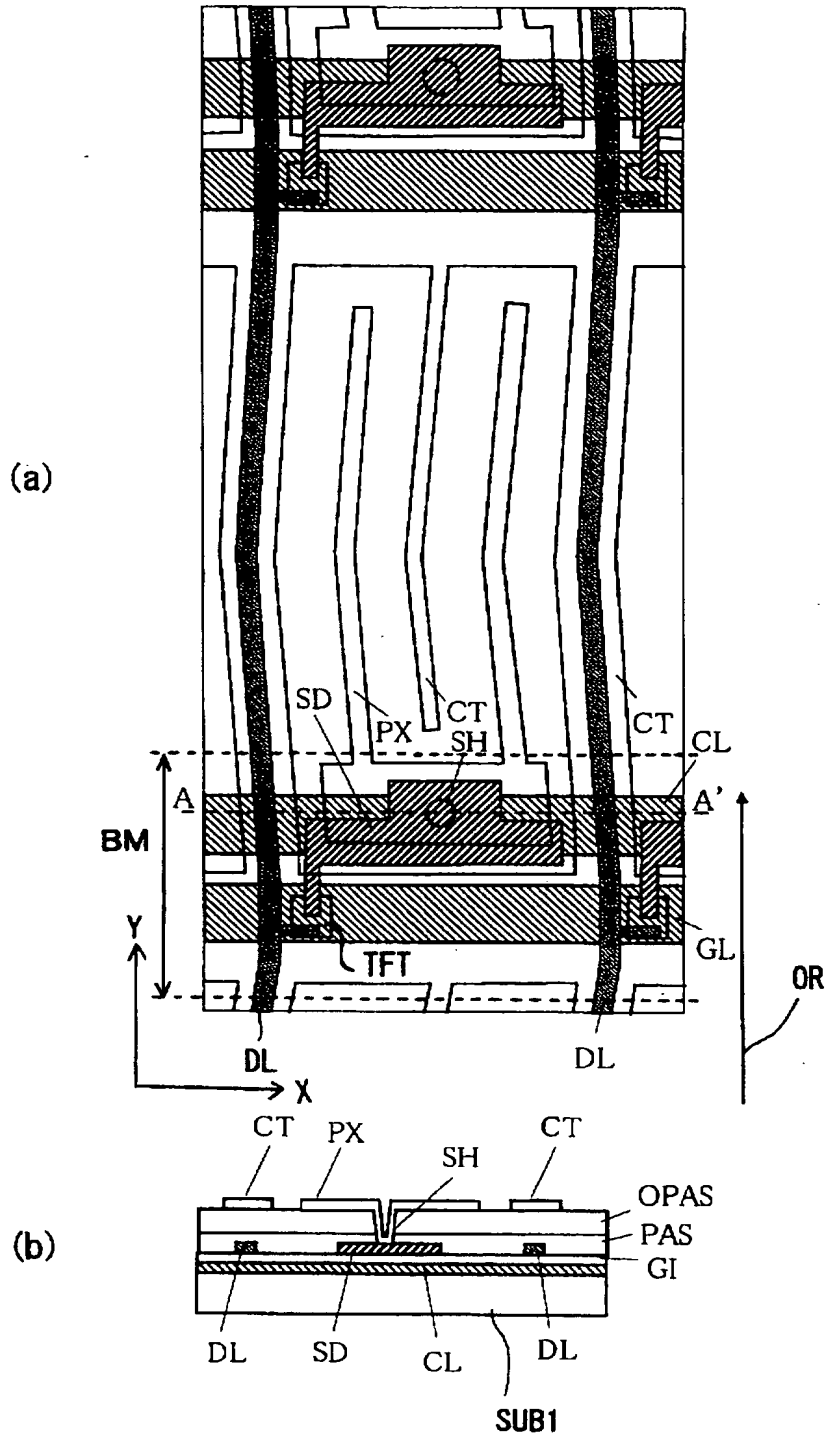


(c)



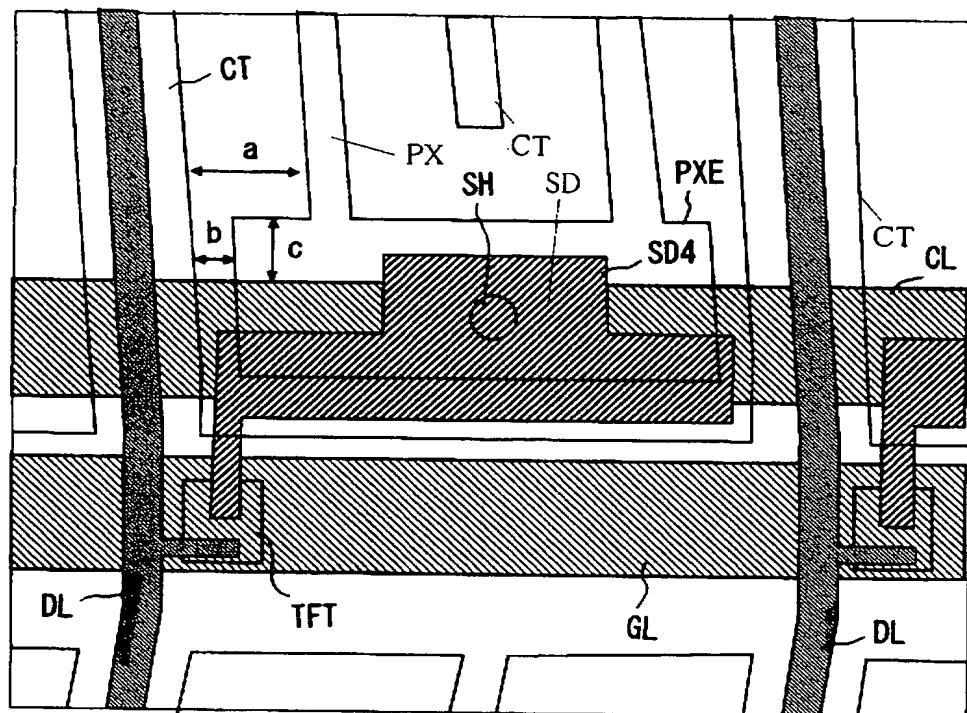
【図 5】

図 5



【図 6】

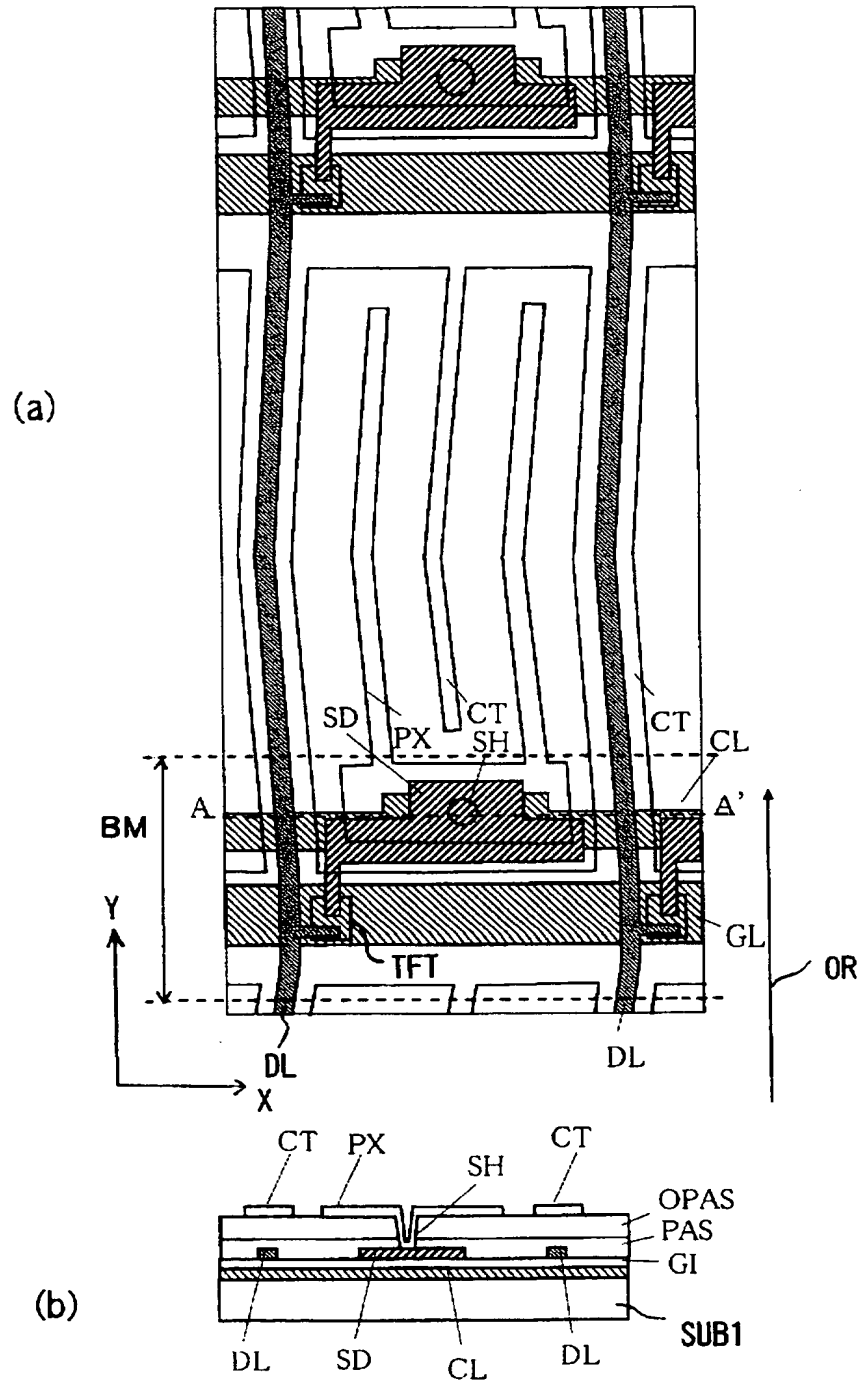
図 6





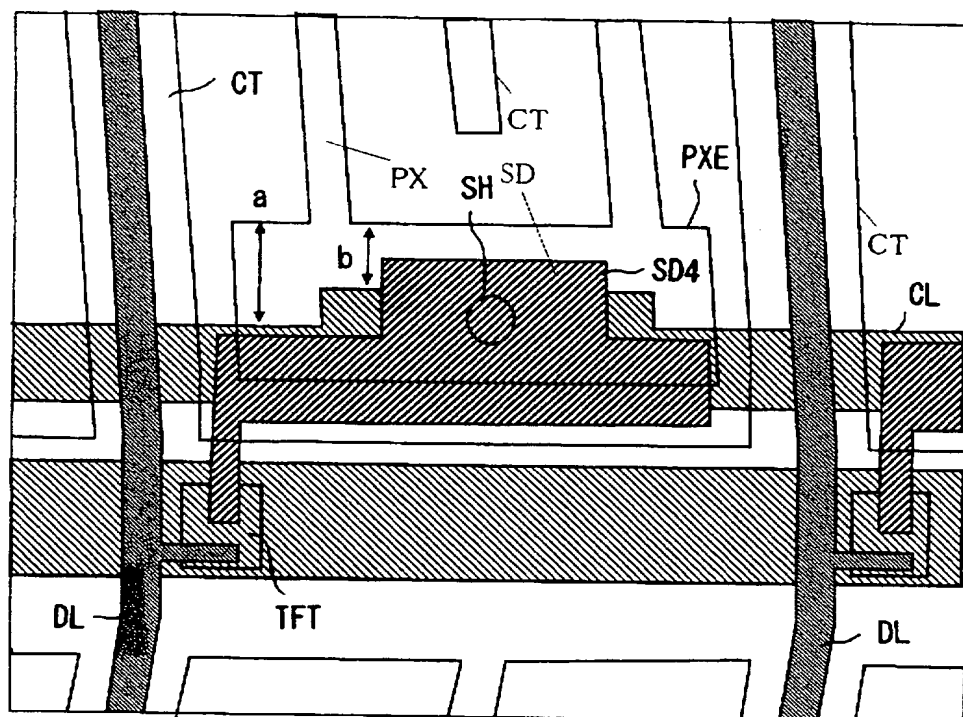
【圖 7】

圖 7



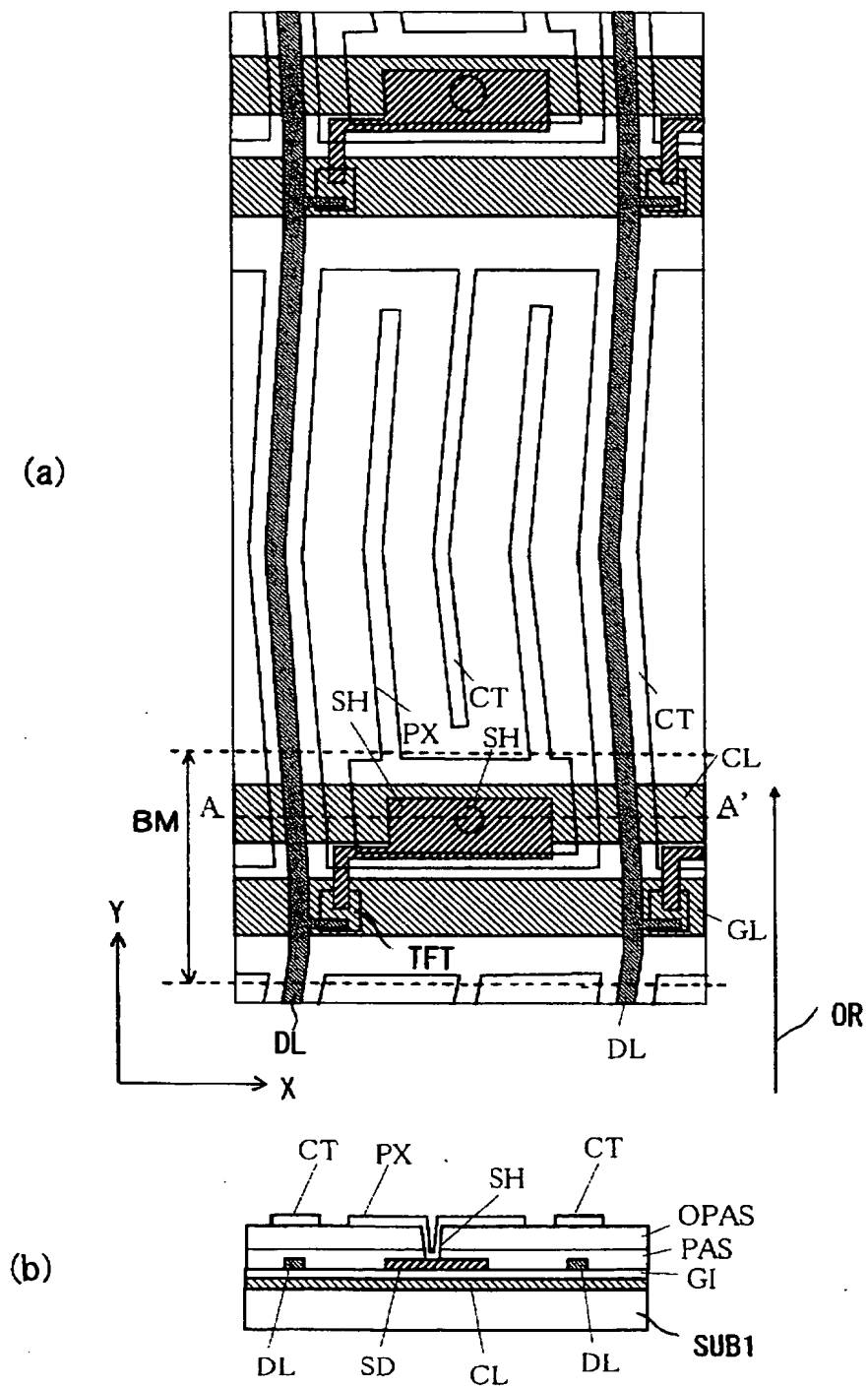
【図 8】

図 8



【図 9】

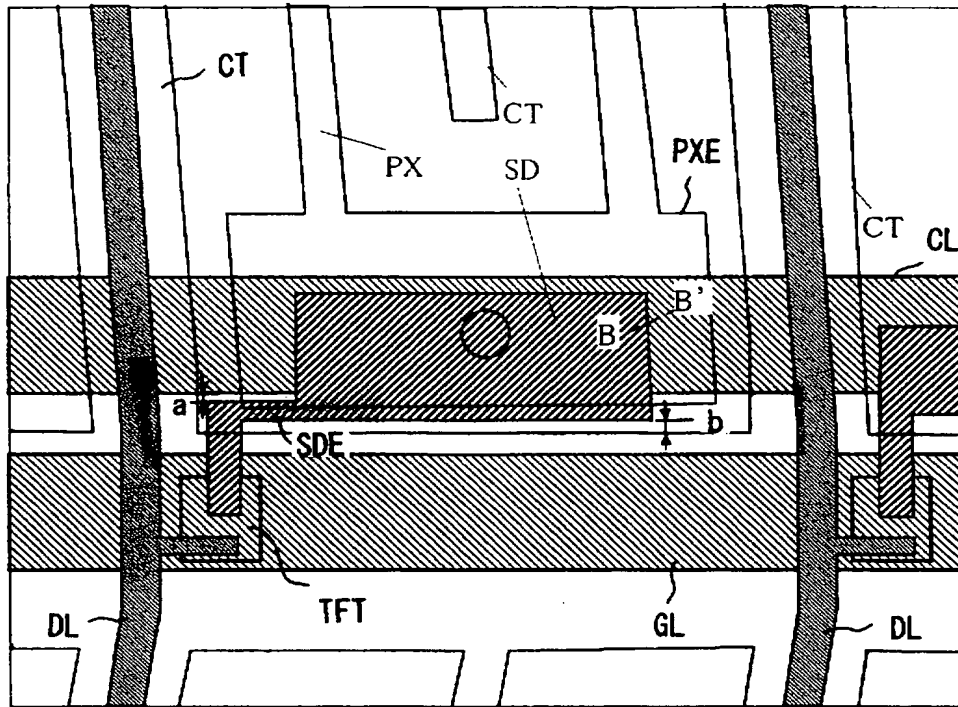
図 9



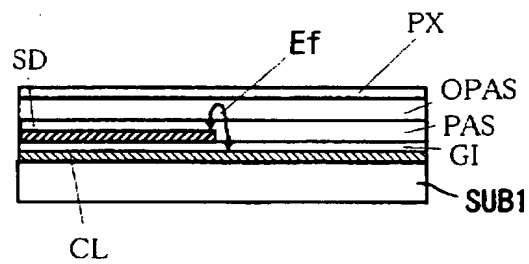
【図 10】

図 10

(a)

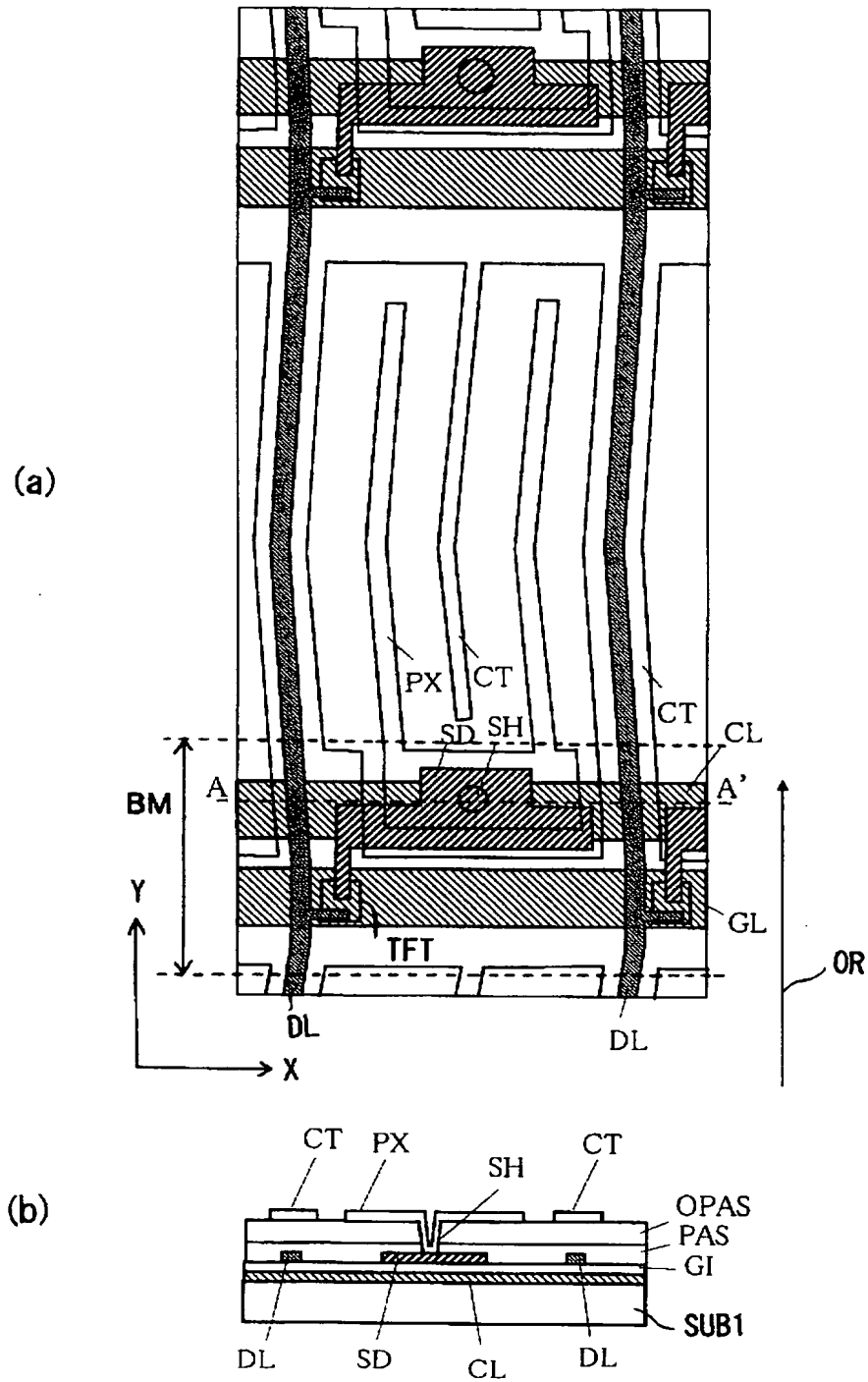


(b)



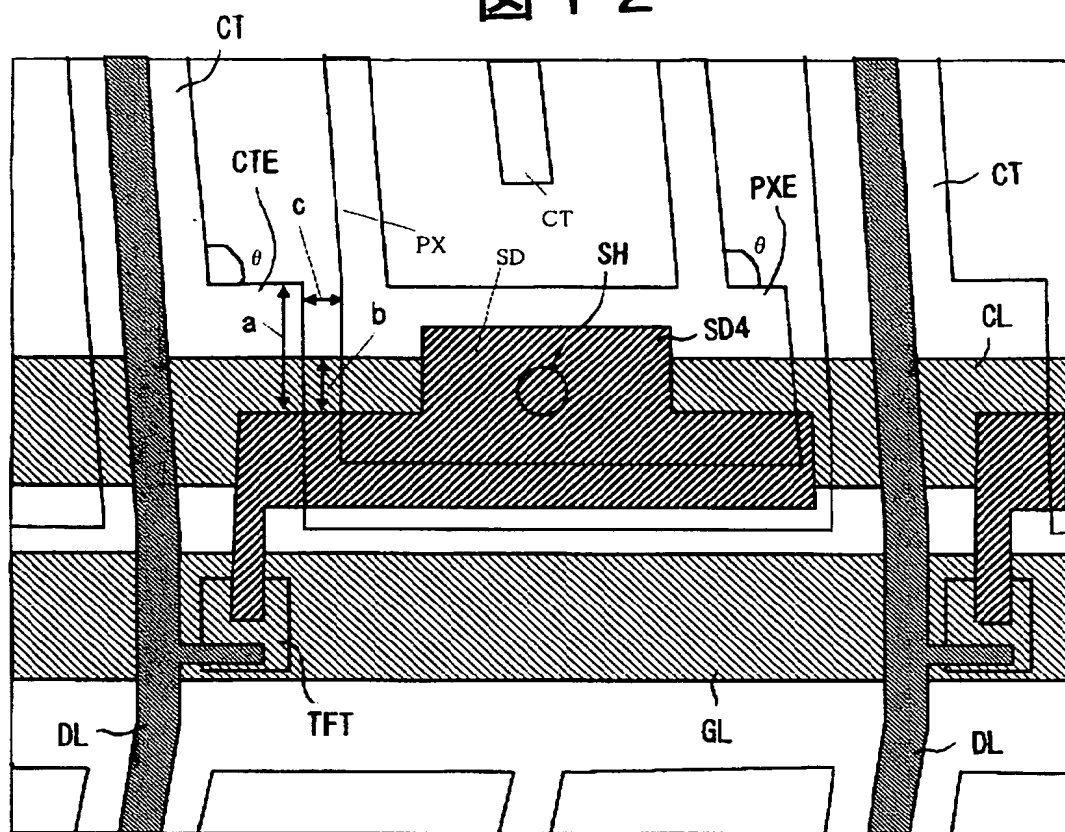
【図 11】

図 11



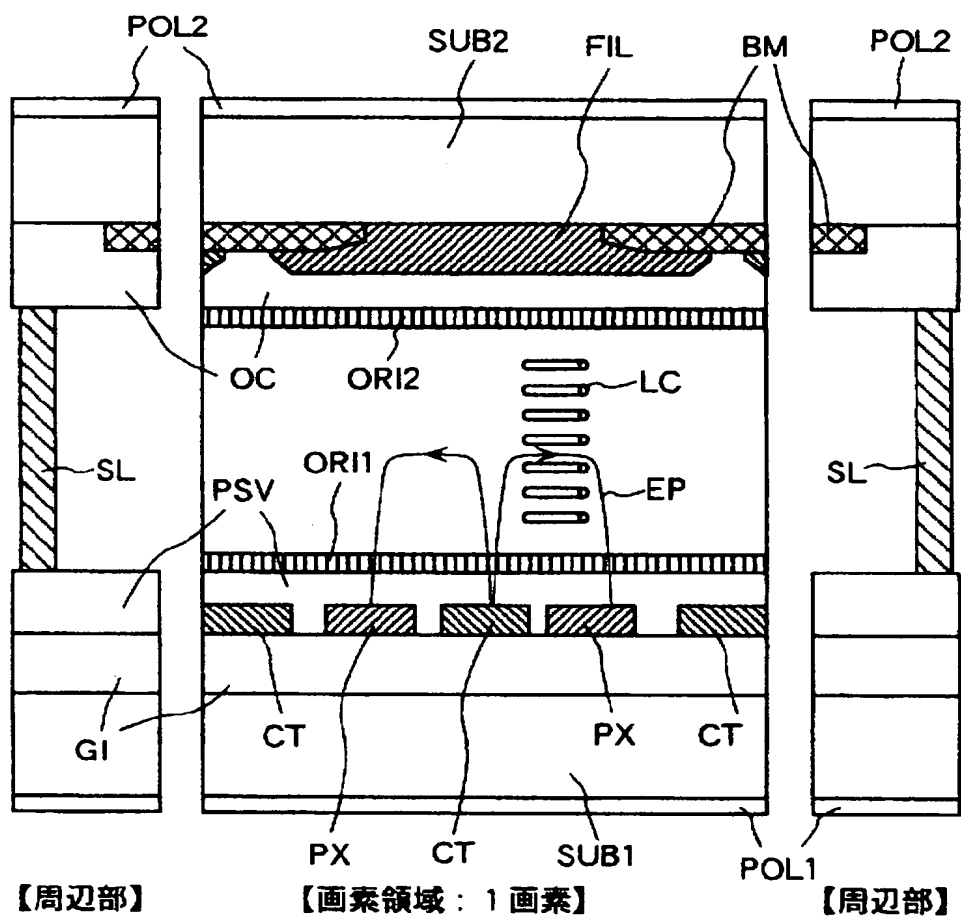
【図 12】

図 12



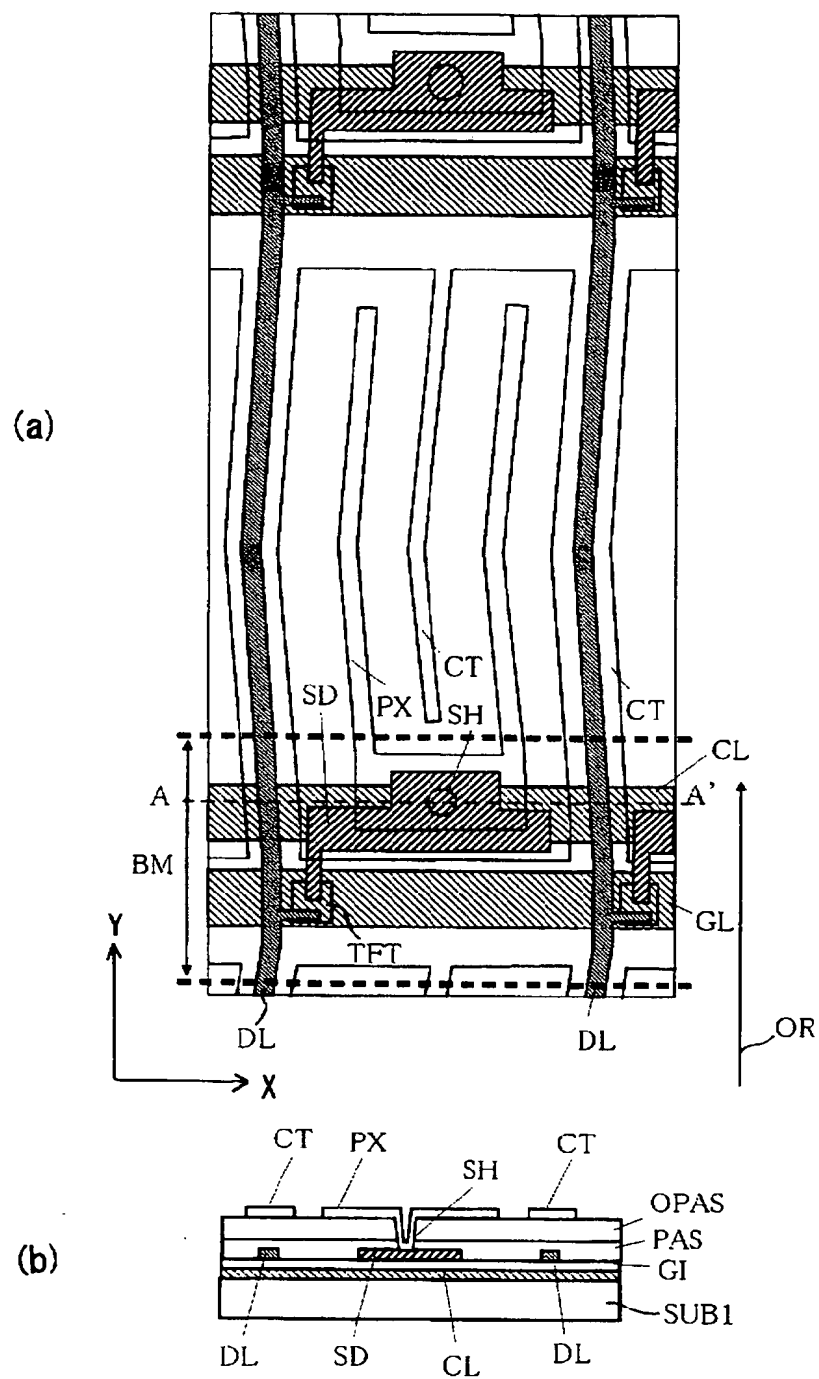
【図 13】

図 13



【図 14】

図 14

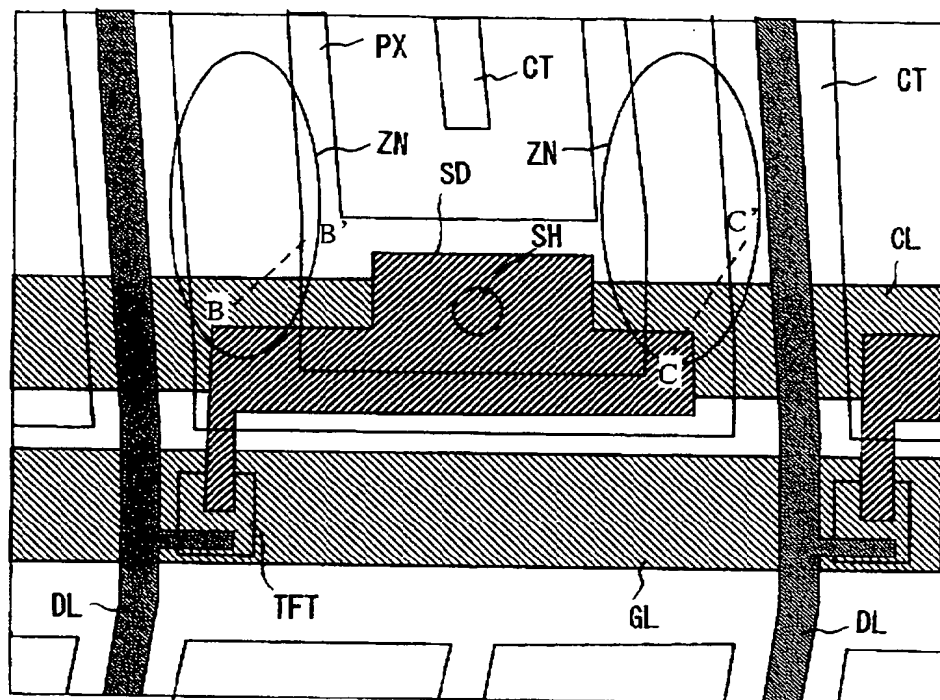




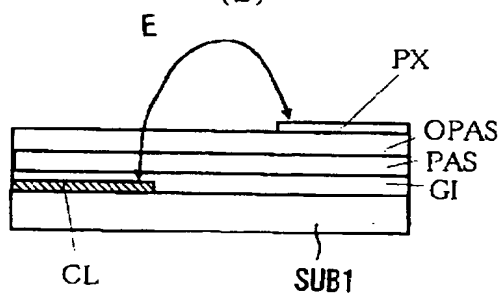
【図 15】

図 15

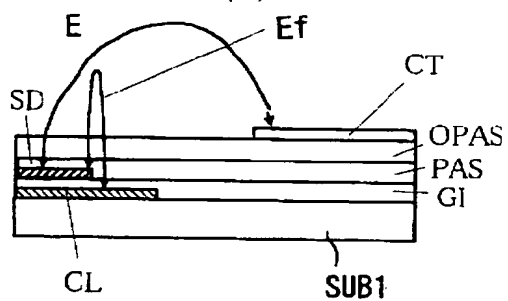
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 共通信号線と画素電極および共通電極の間に生じる不所望な電界を抑制し残像の発生を防止する。

【解決手段】 共通信号線 C L と画素電極 P X の間の電界を遮蔽し、または薄膜トランジスタ T F T のソース・ドレイン電極 S D と共通電極 C T の間の電界を遮蔽し、若しくはソース・ドレイン電極 S D の端縁と共通信号線 C L の間の電界を遮蔽する電極構造とした。

【選択図】 図 2

【書類名】 手続補正書  
【整理番号】 330200375  
【提出日】 平成15年 2月17日  
【あて先】 特許庁長官 殿  
【事件の表示】  
    【出願番号】 特願2003- 6939  
【補正をする者】  
    【識別番号】 502356528  
    【氏名又は名称】 株式会社日立ディスプレイズ  
【代理人】  
    【識別番号】 100093506  
    【弁理士】  
    【氏名又は名称】 小野寺 洋二

**【手続補正 1】****【補正対象書類名】** 特許願**【補正対象項目名】** 発明者**【補正方法】** 変更**【補正の内容】****【発明者】****【住所又は居所】** 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内**【氏名】** 倉橋 永年**【発明者】****【住所又は居所】** 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内**【氏名】** 宮崎 香織**【発明者】****【住所又は居所】** 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内**【氏名】** 石井 正宏**【発明者】****【住所又は居所】** 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内**【氏名】** 鈴木 雅彦**【発明者】****【住所又は居所】** 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内**【氏名】** 梅田 啓之**【その他】** 本来、発明者の表示を、「石井 正宏」とすべきところを、誤記により「石井 雅宏」として記載してしまったため、補正書を提出致します。誤記の理由は入力ミスです。

【プルーフの要否】 要

特願 2 0 0 3 - 0 0 6 9 3 9

出 願 人 履 歴 情 報

識別番号 [ 5 0 2 3 5 6 5 2 8 ]

1. 変更年月日	2 0 0 2 年 1 0 月 1 日
[変更理由]	新規登録
住 所	千葉県茂原市早野 3 3 0 0 番地
氏 名	株式会社 日立ディスプレイズ